



PATENT
2832-0166P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Soon Bog KWON et al. Conf.:
Appl. No.: 10/724,219 Group:
Filed: December 1, 2003 Examiner:
For: TAPE SUBSTRATE AND METHOD FOR
FABRICATING THE SAME

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

FEB - 5 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|------------------|
| KOREA | 10-2002-0075984 | December 2, 2002 |

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By James T. Eller, Jr. #41,458
James T. Eller, Jr., #39,538

JTE:sld
2832-0166P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

Soon Bog KWON et al.
101724, 219
December 1, 2003
2832-1610P
B.S.K.B.
(703)205-8000
Sheet 181



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0075984
Application Number

출원 년 월 일 : 2002년 12월 02일
Date of Application DEC 02, 2002

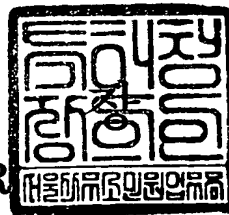
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0003 |
| 【제출일자】 | 2002.12.02 |
| 【국제특허분류】 | H01L |
| 【발명의 명칭】 | 테이프기판 및 그의 주석도금방법 |
| 【발명의 영문명칭】 | A tape substrate and tin plating method of the tape substrate |
| 【출원인】 | |
| 【명칭】 | 엘지전자 주식회사 |
| 【출원인코드】 | 1-2002-012840-3 |
| 【대리인】 | |
| 【성명】 | 박병창 |
| 【대리인코드】 | 9-1998-000238-3 |
| 【포괄위임등록번호】 | 2002-027067-4 |
| 【발명자】 | |
| 【성명의 국문표기】 | 권순복 |
| 【성명의 영문표기】 | KWON, Soon Bog |
| 【주민등록번호】 | 650828-1912015 |
| 【우편번호】 | 442-470 |
| 【주소】 | 경기도 수원시 팔달구 영통동 957-6 청명마을 삼익아파트 325-204 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이상훈 |
| 【성명의 영문표기】 | LEE, Sang Hun |
| 【주민등록번호】 | 730202-1067219 |
| 【우편번호】 | 449-913 |
| 【주소】 | 경기도 용인시 구성면 보정리 694 성원아파트 104동 604호 |
| 【국적】 | KR |

【발명자】

【성명의 국문표기】 문양식
 【성명의 영문표기】 MOON, Yang Sik
 【주민등록번호】 710325-1551014
 【우편번호】 135-240
 【주소】 서울특별시 강남구 개포동 187 주공아파트 601동 1005호
 【국적】 KR

【발명자】

【성명의 국문표기】 홍기표
 【성명의 영문표기】 HONG, Ki Pyo
 【주민등록번호】 660409-1226121
 【우편번호】 612-061
 【주소】 부산광역시 해운대구 반여1동 명장sk아파트 108-1902
 【국적】 KR

【발명자】

【성명의 국문표기】 조윤근
 【성명의 영문표기】 CHO, Yoon Kuen
 【주민등록번호】 700527-1659517
 【우편번호】 730-772
 【주소】 경상북도 구미시 옥계동 부영아파트 103-1411
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 박병창 (인)

【수수료】

| | | |
|----------|------|-----------|
| 【기본출원료】 | 20 면 | 29,000 원 |
| 【가산출원료】 | 4 면 | 4,000 원 |
| 【우선권주장료】 | 0 건 | 0 원 |
| 【심사청구료】 | 12 항 | 493,000 원 |
| 【합계】 | | 526,000 원 |

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명에 의한 테이프기판은 절연필름과, 상기 절연필름의 일측에 형성되어 전자부품이 실장되는 접속부가 구비된 동박패턴과, 상기 접속부의 외측에 도금되고 내부에 다수의 공극이 형성된 베리어층과, 상기 베리어층의 외측에 도금되고 상기 공극을 통하여 상기 접속부와 합금된 주석층을 포함하여 구성되어, 상기 동박패턴이 주석 무전해 도금액과 접촉되는 시간이 저감되므로 구리성분이 용출되는 것이 방지되어 보이드 발생으로 인한 단선이 발생되지 않고, 상기 베리어층으로 인해 도금효율이 증가되며 합금층의 두께가 얇아지게되어 순수 주석층의 형성이 용이해지게되므로 공정시간의 단축으로 인한 수율증가는 물론이고, 동박패턴의 두께를 낮출 수 있어 미세회로패턴의 형성에 유리하고, 상기 베리어층이 막간 발생하는 내부응력을 저감시켜 휘스커의 생성을 억제하므로 상기 휘스커의 성장으로 인한 단락이 방지되는 효과가 있다.

【대표도】

도 3

【색인어】

테이프기판, 절연필름, 접착제, 동박패턴, 주석, 구리, 합금, 베리어층, 솔더레지스트, 휘스커, 보이드, 공극

【명세서】

【발명의 명칭】

테이프기판 및 그의 주석도금방법 {A tape substrate and tin plating method of the tape substrate}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 테이프기판이 도시된 단면도,
 도 2는 본 발명에 의한 테이프기판이 도시된 평면도,
 도 3은 본 발명에 의한 테이프기판이 도시된 단면도,
 도 4는 본 발명에 의한 테이프기판의 주석도금방법이 도시된 순서
 도 5는 본 발명의 다른 실시예에 의한 테이프기판의 주석도금방법이 도시된 순서도,
 도 6은 본 발명의 또다른 실시예에 의한 테이프기판의 주석도금방법이 도시된 순서도이
 다.

<도면의 주요 부분에 관한 부호의 설명>

60 : 절연필름 62 : 접착제
 65 : 얼라인홀 70 : 동박패턴
 73 : 주석-구리 합금층 75 : 베리어층
 77 : 주석층 80 : 솔더레지스트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 테이프기판 및 그 주석도금방법에 관한 것으로서, 보다 상세하게는 테이프기판의 전자부품이 실장되는 패턴부에 보이드 또는 휘스커의 발생없이 주석을 도금 시킬 수 있는 테이프기판 및 그의 주석도금방법에 관한 것이다.

<13> 일반적으로 테이프기판은 액정기판이나 휴대폰 또는 노트북 등의 접을 수 있는 전자제품에 주로 적용되는 기판의 종류로서, 전자제품이 소형, 경량화 됨에 따라 티에이비(TAB; Tape Automated Bonding)기판, 티비지에이(TBGA; Tape Ball Grid Array)기판, 에이에스아이씨(ASIC; Application Specific Integrated Circuit)기판, 씨오에프(COF; Chip on Film)기판 등 여러 가지 다양한 기판이 개발되었다.

<14> 도 1은 종래 기술에 의한 테이프기판이 도시된 단면도로서, 상기 테이프기판은 폴리이미드, 폴리에테르술폰 등의 재질로 이루어진 절연필름(10) 표면에 수십 μ m(약 20 μ m) 전도의 동박층이 접착제(12)에 의해 접착되고, 상기 동박층의 표면에 포토레지스트가 도포된 후, 상기 포토레지스트에 마스크를 사용하여 배선 패턴을 노광시킴으로써 상기 포토레지스트에 패턴이 전사된다.

<15> 상기와 같이 패턴이 전사되면 동박 에칭을 통해 원하는 패턴이 형성된 후 포토레지스트가 제거되어 동박패턴(20)의 형성이 완료된다.

- <16> 한편, 상기와 같이 동박패턴(20)의 완료된 테이프기판에는 접속부를 제외한 부분에 솔더 레지스트(30)를 도포하고, 노출된 접속부의 산화방지와 전자부품의 실장을 위해 주석층(27)이 형성되도록 주석을 도금시킨다.
- <17> 상기와 같이 주석이 도금되어 이루어진 주석층(27)은 유연성이 뛰어나고, 인체에 대한 독성이 적으며, 용성이 낮아 납땜성이 우수하다. 또한, 비용이 저렴하여 생산비를 저감시킬 수 있으며, $1\mu\text{m}$ 이하의 박막을 균일하게 형성시키는 것이 용이하고, 액 관리가 용이하며, 금으로 이루어진 범프와의 접합강도가 높아 점점 사용범위가 확대되고 있다.
- <18> 그러나, 종래 기술에 의한 테이프기판 및 그 주석도금방법은 솔더레지스트(30)가 도포된 테이프기판에 주석을 도금시킬 경우, 주석 무전해 도금액이 상기 솔더레지스트(30)의 단부와 상기 동박패턴(20) 사이로 스며들게 되는데 이때 동박으로 이루어진 패턴과 주석 무전해 도금액 사이에 국부전지가 형성되는바, 상기 동박패턴에서 동이 용출되며 움푹패인 보이드(void)(C)가 형성되며 상기 보이드(C)가 커질 경우 상기 동박패턴(20)이 단선되는 문제점이 있다.
- <19> 상기와 같이 움푹패인 보이드(C)로 인해 상기 테이프기판에 휨응력이 작용되어 상기 테이프기판이 변형되거나 심지어 상기 테이프기판이 꺾어지며 상기 동박패턴이 파손되는 문제점이 있다.
- <20> 또한, 통상적으로 주석 또는 주석합금은 도금된 주석층 및 동과의 합금층에서 이성질체의 스트레스로 인한 응력이 발생하여 도금 직후부터 수일 또는 수년까지 휘스커라 불리는 바늘형상의 석출물이 생성되는데, 상기 휘스커가 성장하여 인접되는 패턴과 단락되어 회로에 손상

을 입히는 문제점이 되고 있으나, 아직까지는 상기 휘스커의 발생을 억제하는 방법이 마련되지 못하고 있는 실정이다.

<21> 이에 상기 휘스커의 발생을 억제하기 위해 열처리방법이나 합금을 실시하는 경우가 있으나, 상기 열처리방법은 장시간이 소요되어 생산성이 떨어지며 가열조건에 따라 기판이 열화되어 불량 발생될 소지가 있는 문제점과, 열이 가해짐에 따라 상기 주석층(27)의 주석성분과 결합되어 주석-구리 합금층(23)이 형성되는바, 순수 주석층(27)의 두께를 소정의 두께로 형성하기 위해서는 장시간 도금을 실시해야되며, 상기 주석-구리 합금층(23)의 두께가 필요이상 두껍게 형성되는 문제점이 있다.

<22> 상기한 합금을 실시하여 휘스커의 발생을 억제하는 경우 전기적 특성이 저하됨은 물론 납땜성이 저하되어 전자부품의 실장강도가 약해지는 문제점이 발생하는 등 근본적인 해결방안이 제시되지 못하고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 기술의 발달에 따라 전자부품은 고밀도, 고집적 미세회로 패턴으로 발전되고 있는바, 주석의 도금전에 휘스커 발생이 억제되도록 베리어층을 형성시킴으로서 상기 미세회로 패턴의 품질 신뢰성을 증가되고, 보이드 발생으로 인한 패턴의 단선이 방지되며, 응력이 분산되어 패턴의 강도가 증가되고, 전기적 특성저하가 발생되지 않는 테이프기판 및 그의 주석도금방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <24> 상기한 과제를 해결하기 위한 본 발명에 의한 테이프기판은 절연필름과, 상기 절연필름의 일측에 형성되어 전자부품이 실장되는 접속부가 구비된 동박패턴과, 상기 접속부의 외측에 도금되고 내부에 다수의 공극이 형성된 베리어층과, 상기 베리어층의 외측에 도금되고 상기 공극을 통하여 상기 접속부와 합금된 주석층을 포함하여 구성된다.
- <25> 또한, 본 발명에 의한 테이프기판의 주석도금방법은 절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와, 상기 제 1단계에서 형성된 동박패턴의 상기 접속부 이외 부위에 솔더레지스트를 도포하는 제 2단계와, 상기 제 2단계에서 솔더레지스트가 도포된 후 상기 접속부에 베리어층을 도금하는 제 3단계와, 제 3단계에서 베리어층이 도금된 후 상기 베리어층에 주석층이 형성되도록 주석을 도금시키는 제 4단계를 포함하여 구성된다.
- <26> 그리고, 본 발명의 다른 실시예에 의한 테이프기판의 주석도금방법은 절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와, 상기 제 1단계에서 형성된 동박패턴에 베리어층을 도금하는 제 2단계와, 상기 제 2단계에서 베리어층이 도금된 후 상기 접속부 이외 부위에 솔더레지스트를 도포하는 제 3단계와, 상기 제 3단계에서 솔더레지스트가 도포된 후 상기 접속부에 도금된 베리어층에 주석층이 형성되도록 주석을 도금시키는 제 4단계를 포함하여 구성된다.
- <27> 또한, 본 발명의 또다른 실시예에 의한 테이프기판의 주석도금방법은 절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와, 상기 제 1단계에서 형성된 동박패턴에 베리어층을 도금하는 제 2단계와, 상기 제 2단계에서 베리어층이 도금된 후 상기 베리어층에 주석층이 형성되도록 주석을 도금하는 제 3단계와, 상기 제 3단계에서 주석층이 형성된 후 접속부 이외 부위에 솔더레지스트를 도포하는 제 4단계를 포함하여 구성된다.

- <28> 이하, 본 발명에 의한 노광기의 피딩장치가 도시된 실시예를 첨부된 도면을 참조하여 상세히 설명한다.
- <29> 도 2는 본 발명에 의한 테이프기판이 도시된 평면도이며, 도 3은 본 발명에 의한 테이프기판이 도시된 단면도이다.
- <30> 본 발명에 의한 테이프기판은 도 2 및 도 3에 도시된 바와 같이, 절연필름(60)의 일측에 전자부품이 실장되는 접속부가 구비된 동박패턴(70)이 형성되고, 상기 접속부의 외측에는 내부에 다수의 공극이 형성된 베리어층(75)이 도금되며, 상기 베리어층(75)의 외측에는 주석층(77)이 도금된다.
- <31> 여기서, 상기 베리어층(75)의 외측에 도금된 주석층(77)은 상기 공극을 통하여 상기 동박패턴(70)과 접촉되고, 가열됨에 따라 합금이 형성된다.
- <32> 보다 상세하게는, 상기 절연필름(60)은 가소성 수지필름으로 이루어지는데, 도금과정에서 베리어 또는 주석 무전해 도금액에 담기며 가열되므로, 내약품성 및 내열성을 가진 재료로 형성되는 것이 바람직하다.
- <33> 보통의 상기 절연필름(60)은 주로 에폭시, 에스테르 또는 폴리이미드, 폴리아미드 등의 재료로 형성되며, 본 발명에서는 폴리이미드로 이루어진 절연필름(60)이 주로 사용된다.
- <34> 아울러, 상기 절연필름(60)은 통상 $10\mu\text{m}$ 내지 $100\mu\text{m}$ 미만의 두께를 가진 절연필름(60)이 사용되고, 상기 절연필름(60)은 릴투릴방식의 이송장비에 의해 이송되는데, 정확한 이송 및 정렬이 가능하도록 양측단에 얼라인홀(65)이 등간격으로 연속되게 형성되어, 상기 이송장비에 형성된 얼라인핀에 걸림되며 이송될 수 있도록 구성된다.

- <35> 도 4는 본 발명에 의한 테이프기판의 주석도금방법이 도시된 순서도이다.
- <36> 상기와 같이 구성된 테이프기판은 도 4에 도시된 바와 같이, 절연필름(60)의 표면에 접속부가 구비된 동박패턴(70)을 형성시키는 제 1단계(S11)와, 상기 제 1단계(S11)에서 형성된 동박패턴(70)의 상기 접속부를 제외한 부분에 솔더레지스트(80)를 도포하는 제 2단계(S12)와, 상기 제 2단계(S12)에서 솔더레지스트(80)가 도포된 후 상기 접속부에 베리어층(75)을 도금하는 제 3단계(S13)와, 제 3단계(S13)에서 도금된 베리어층(75)에 주석층(77)을 도금하는 제 4단계(S14)를 포함하여 구성된다.
- <37> 상기 제 1단계(S11)에서 상기 절연필름(60)은 동박패턴(70)을 형성하기 위해 동박이 입혀지는데, 상기 동박은 내열성, 내약품성 및 소정의 접착성이 있는 접착제(62)에 의해 부착되거나, 전해도금을 통해 형성된다.
- <38> 통상적으로 전해도금을 통해 형성되는 동박의 두께는 $6\mu\text{m}$ 내지 $25\mu\text{m}$ 미만의 두께로 형성되며, 미세 패턴의 경우 두께를 얇게 하기 위해 스퍼터링 공법을 통해 동박이 증착된다.
- <39> 상기와 같이 동박이 접착된 절연필름(60)은 코팅, 노광, 현상, 에칭 및 박리단계를 거치는 포토리소그래피 공정을 통해 동박패턴(70)이 형성된다.
- <40> 그리고, 상기와 같이 제 1단계(S11)에서 형성된 동박패턴(70)은 상기 동박패턴(70)의 산화를 방지하며 상기 동박패턴(70)이 전기적으로 절연되도록 솔더레지스트(80)를 도포하는 제 2단계(S12)를 거친다.
- <41> 여기서, 상기 솔더레지스트(80)는 통상 에폭시, 폴리이미드, 우레탄 등이 사용되며, 상기 동박패턴(70)과 절연필름(60)에 용이하게 접착될 수 있는 물질이 사용된다. 또한, 상기 솔

더레이스트(80)는 도포후 자외선 또는 열에 의해 경화되는 경화수지가 사용되는 것도 가능하다

- <42> 한편, 상기 솔더레이스트(80)는 전자부품이 실장될 수 있도록 상기 접속부를 제외한 부분에 도포시키는데, 이때, 상기 접속부에는 상기 솔더레이스트(80)가 도포되지 않도록 상기 접속부의 상측에 스크린 마스크를 덮은 후 솔더레이스트(80)를 도포한다.
- <43> 여기서, 상기 솔더레이스트(80)는 $5\mu\text{m}$ 내지 $50\mu\text{m}$ 미만의 두께로 도포되며, 열경화성 수지로 이루어진 솔더레이스트(80)는 120°C 내지 160°C 미만의 온도에서 대략 30분 이상 가열하여 건조시킨다.
- <44> 이때, 상기 솔더레이스트(80)는 가열과정에서 기포가 발생되는데, 가열온도를 적절히 승온시켜 기포가 발생되지 않도록 하는 동시에 경화가열과정에서 상기 솔더레이스트(80)에 함유된 레지스트 솔벤트가 노출되어 상기 동박패턴(70)에 잔류되지 않도록 한다.
- <45> 상기와 같이 제 2단계(S12)에서 상기 솔더레이스트(80)가 도포되면 상기 솔더레이스트(80)가 도포되지 않은 상기 접속부에 베리어층(75)을 도금하는 제 3단계(S13)를 거치게 된다.
- <46> 상기 베리어층(75)은 금(Au)과 은(Ag)을 주성분으로 하는 화합물로 이루어지는데, 도금강도를 증가시키기 위해 셀레늄(Se) 또는 납(Pb) 등의 첨가제가 더 포함된다.
- <47> 상기 베리어층(75)은 무전해 도금법에 의해 도금되는데, 이를 위한 베리어 무전해 도금액의 조성비를 살펴보면, 수용성 Au 0.01~5wt%, 수용성 Ag 0.1~5wt%, KCN 또는 NaCN 0.1~20wt%, Imidazole 또는 Imidazole 유도체 0.1~20wt%, 비 이온계면 활성제 0.1~20wt%, Glycine/EDTA/Chelate제 0.1~20wt%로 조성된다.

- <48> 상기와 같은 베리어 무전해 도금액에 의해 무전해 도금되는 베리어층(75)은 $0.01\mu\text{m}$ 내지 $1\mu\text{m}$ 미만의 두께로 형성되는데, 바람직하게는 $0.05\mu\text{m}$ 내지 $0.5\mu\text{m}$ 미만의 두께로 형성되는 것이 바람직하다.
- <49> 이는 상기 베리어층(75)의 두께가 너무 두꺼울 경우 주석의 도금속도 및 공정처리시간이 증가되고, 상기 베리어층(75)의 두께가 너무 얇은 경우 주석 도금시 상기 주석과 동박이 합금되는 층이 두께워지게 되므로 최종적으로 필요로 하는 주석층(77)의 두께에 따라 적절한 두께로 형성되어야 한다.
- <50> 또한, 상기 베리어층(75)은 도트상태로 도금되어 내부에 다수의 공극이 형성되는데, 상기 공극이 상기 동박패턴(70) 표면적의 95%미만이 되도록 하며, 바람직하게는 상기 공극이 상기 동박패턴(70) 표면적의 50%를 넘지않도록 한다.
- <51> 상기 제 4단계(S14)는 상기 베리어층(75)의 상측에 주석층(77)을 도금하는 단계로서, 상기 제 3단계(S13)에서 도금된 베리어층(75)의 상측에는 주석 무전해 도금이 이루어져 상기 동박의 구리성분과 주석 무전해 도금액의 주석성분이 치환되며 상기 주석층(77)이 형성되도록 주석 도금을 실시한다.
- <52> 상기 주석 무전해 도금액은 Methane Surfonic Acid 1~30wt%, Tin Methane Sulfonate 1~30wt%, Thiourea 1~30wt%, 계면활성제(음이온) 0.1~10wt%, Carboxylic Acid 0.1~20wt%, Aromatic Amine 0.1~20wt%로 구성된다.
- <53> 상기와 같은 주석 무전해 도금액에 의해 무전해 도금되는 주석층(77)은 $0.01\mu\text{m}$ 내지 $1\mu\text{m}$ 미만의 두께로 형성되는데, 바람직하게는 $0.05\mu\text{m}$ 내지 $0.5\mu\text{m}$ 미만의 두께로 형성되는 것이 바람직하다.

- <54> 이때, 상기 베리어층(75)과 주석층(77)의 접합부는 가열됨에 따라 주석(Sn)-구리(Cu) 합금층(73)을 형성하는 제 5단계(S15)를 실시된다.
- <55> 즉, 상기 주석층(77)은 상기 베리어층(75)의 공극에 상기 주석 무전해 도금액이 침투되어 노출된 상기 동박패턴(70)의 구리성분과 치환반응이 일어나면서 주석-구리 합금층(73)이 형성되고, 상기 주석-구리 합금층(73)의 상측에 순수한 주석층(77)이 도금된다.
- <56> 여기서, 상기 공극에는 주석-구리 합금층(73)이 형성되어, 상기 베리어층(75)과 상기 주석-구리 합금층(73)이 동일 위상에 존재하게되며 상호결합된다.
- <57> 또한, 상기 공극 사이에 형성된 상기 주석-구리 합금층(73)으로 인해 상기 주석층(77)에 발생하는 막간의 내부응력이 억제되므로 휘스커의 발생가능성이 낮아지게 되며, 상기 주석층(77)의 두께를 단시간에 소정의 두께로 도금시키는 것이 가능하게 된다.
- <58> 아울러, 상기 베리어층(75)으로 인해 상기 주석 무전해 도금액과 상기 동박패턴(70)이 접촉되는 면적이 감소되며 도금시간이 짧아지게 되므로 상기 동박패턴(70)이 상기 주석 무전해 도금액과 과도한 치환에 의해 회로가 단선되는 것이 방지된다.
- <59> 상기와 같이 주석이 도금된 동박패턴(70)에는 전자부품의 접속전극이 실장되는데, 상기 접속전극은 보통 금재질로 형성되어 상기 주석층(77)의 주석성분과 결합되어 공정화합물로 합금되며 견고하게 접합된다.
- <60> 이상과 같이 본 발명에 의한 테이프기판 및 그 주석도금방법을 예시된 도면을 참조로 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명은 한정되지 않으며 그 발명의

기술사상 범위내에서 당업자에 의해 재질을 포함한 다양한 변형이 이루어질 수 있음은 물론이다.

<61> 상기 테이프기판의 주석도금방법은 공정순서의 변경이 가능한데, 일례로 도 5는 본 발명의 다른 실시예에 의한 테이프기판의 주석도금방법이 도시된 순서도로서, 절열필름의 표면에 접속부가 구비된 동박패턴을 형성시킨 후(S21), 상기 동박패턴에 베리어층을 도금시키고(S22), 상기 동박패턴에 상기 베리어층이 도금되면 상기 접속부에 도금된 베리어층을 제외한 부분에 산화 방지 및 절연을 위해 솔더레지스트를 도포한다.(S23)

<62> 상기와 같이 상기 접속부를 제외한 부분에 솔더레지스트의 도포가 완료되면, 상기 접속부의 상측에 도금된 베리어층에 주석을 도금시킴(S24)으로 주석층을 형성시키는 것도 가능하다.

<63> 즉, 본 발명의 다른 실시예에 의한 테이프기판의 주석도금방법은 본 발명에 의한 테이프기판의 주석도금방법과 비교하여 볼 때, 상기 동박패턴의 상측에 형성되는 솔더레지스트 또는 베리어층의 공정순서가 바뀐 것으로서, 상기와 같이 솔더레지스트 또는 베리어층의 공정순서를 변환하는 것도 가능하다.

<64> 그리고, 상기 베리어층과 주석층의 접합부는 가열됨에 따라 주석-구리(Cu) 합금층(73)이 형성되도록 가열되는 제 5단계(S15)가 실시된다.

<65> 도 6은 본 발명의 또다른 실시예에 의한 테이프기판의 주석도금방법이 도시된 순서도로서, 절열필름의 표면에 접속부가 구비된 동박패턴을 형성시킨 후(S31), 상기 동박패턴에 베리어층을 도금시키고(S32), 상기 동박패턴에 상기 베리어층이 도금되면 상기 베리어층에 주석층이 형성되도록 주석을 도금시킨다.(S33)

- <66> 상기와 같이 주석이 도금되면 상기 접속부를 제외한 부분에 산화 방지 및 절연을 위해 솔더레지스트를 도포한다.(S34)
- <67> 한편, 상기 제 3단계는 상기 주석층이 도금된 후 상기 베리어층과 주석층의 접합부에 합금이 이루어지도록 가열되는 가열단계(S35)를 더 포함하여 구성된다.
- <68> 본 발명에 의한 테이프기판의 주석도금방법에 의해 형성된 주석도금의 실험예를 실험예와 함께 상세히 설명하면 다음과 같다.
- <69> [실험예 1]
- <70> 폴리이미드 필름 상에 두께 $18\mu\text{m}$ 의 동박으로 만들어진 동박패턴의 전면에 $0.1\mu\text{m}$ 의 베리어층을 형성하고 솔더레지스트를 $30\mu\text{m}$ 의 두께로 인쇄한 후 150°C 의 온도로 60분 경화시키고, 65°C 의 주석 도금조에서 형성되는 주석층의 두께가 각각 0.2, 0.3, $0.4\mu\text{m}$ 가 되도록 실시한 결과 솔더레지스트 경계면에 보이드 및 휘스커의 발생이 없고, 일주일간의 시효경과뒤에도 휘스커가 발생되지 않았다.
- <71> [실험예 2]
- <72> 폴리이미드 필름 상에 두께 $18\mu\text{m}$ 의 동박으로 만들어진 동박패턴에 접속부를 제외한 모든 부분의 전면에 솔더레지스트를 $30\mu\text{m}$ 의 두께로 인쇄, 도포한 후 150°C 의 온도로 60분 경화시키고, $0.1\mu\text{m}$ 의 베리어층을 형성하고 65°C 의 주석 도금조에서 주석층의 두께가 각각 0.1, 0.2, $0.3\mu\text{m}$ 가 되도록 실시한 결과 솔더레지스트 경계면에 보이드 및 휘스커의 발생이 없고, 45일간의 시효경과뒤에도 휘스커가 발생되지 않았다.

<73> [실험예 3]

<74> 폴리이미드 필름 상에 두께 $18\mu\text{m}$ 의 동박으로 만들어진 동박패턴에 접속부를 제외한 모든 부분의 전면에 솔더레지스트를 $30\mu\text{m}$ 의 두께로 인쇄, 도포한 후 150°C 의 온도로 60분 경화시키고, $0.1\mu\text{m}$ 의 베리어층을 형성하고 65°C 의 주석 도금조에서 주석층의 두께가 각각 0.2, 0.3, $0.4\mu\text{m}$ 가 되도록 실시한 후 120°C 의 온도에서 120분간 건조한 결과에서도 양호한 특성을 나타내었다.

<75> [실험예 4]

<76> 폴리이미드 필름 상에 두께 $18\mu\text{m}$ 의 동박으로 만들어진 동박패턴에 접속부를 제외한 모든 부분의 전면에 솔더레지스트를 $30\mu\text{m}$ 의 두께로 인쇄, 도포한 후 150°C 의 온도로 60분 경화시키고, $0.1\mu\text{m}$ 의 베리어층을 형성하고 65°C 의 주석 도금조에서 주석층의 두께가 $0.1\mu\text{m}$ 가 되도록 실시한 후 120°C 의 온도에서 120분간 1차 건조한 다음 다시 2차로 주석 도금을 실시하여 순수 주석층의 두께가 $0.1\mu\text{m}$ 가 되도록 도금을 실시한 결과 문제점이 발견되지 않았다.

<77> 상기의 실험예의 무전해 주석 도금 처리에 있어서, 최적의 베리어층을 형성시키기 위해, 동박패턴이 형성된 테이프기판을 황산(H_2SO_4)을 주성분으로 하는 용액에서 45°C 로 60초 동안 산탈지하고, 상온 순수로 수세한 후, 동표면의 산화막 제거를 위한 마이크로 에칭, 수세후 베리어층을 형성하였으며, 주석도금의 경우에는 표면 광택을 위해 MSA(Methane Sulfonic Acid)가

15%가량 조성된 주석도금액을 사용하여 실시한 후 45℃온도로 30초간 수세후 건조를 실시하였다.

<78> 상기 베리어층과 주석도금을 별도로 실시한 경우에도 상기의 실시조건에 있어서는 차이가 없다.

【발명의 효과】

<79> 상기와 같이 구성되는 본 발명에 의한 테이프기판 및 그 주석도금방법에 있어서, 상기 테이프기판은 동박패턴의 접속부에는 다수의 공극이 형성된 베리어층이 형성되어, 상기 베리어층의 외측에 도금되고 상기 공극을 통하여 상기 접속부와 합금된 주석층을 포함하여 구성되어, 상기 동박패턴이 주석 무전해 도금액과 접촉되는 시간이 저감되므로 구리성분이 용출되는 것이 방지되어 보이드 발생으로 인한 단선이 발생되지 않고, 상기 베리어층으로 인해 도금효율이 증가되며 합금층의 두께가 얇아지게되어 순수 주석층의 형성이 용이해지게되므로 공정시간의 단축으로 인한 수율증가는 물론이고, 동박패턴의 두께를 낮출 수 있어 미세회로패턴의 형성에 유리하다.

<80> 또한, 상기 베리어층이 막간 발생하는 내부응력을 저감시켜 휘스커의 생성을 억제하므로 상기 휘스커의 성장으로 인한 단락이 방지되는 효과가 있다.

<81> 그리고, 전자부품의 실장시 상기 베리어층으로 인해 이중 금속층에 의한 전기특성 변화가 저하되고, 상기 휘스커의 방지를 위한 별도의 공정이 필요치않아 공정시간 및 공정비용이 저감시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

절연필름과,

상기 절연필름의 일측에 형성되어 전자부품이 실장되는 접속부가 구비된 동박패턴과,

상기 접속부의 외측에 도금되고 내부에 다수의 공극이 형성된 베리어층과,

상기 베리어층의 외측에 도금되고 상기 공극을 통하여 상기 접속부와 합금된 주석층을 포함하여 구성된 것을 특징으로 하는 테이프기판.

【청구항 2】

제 1항에 있어서,

상기 베리어층은 금과 은을 주성분으로 하는 화합물로 이루어진 것을 특징으로 하는 테이프기판.

【청구항 3】

제 2항에 있어서,

상기 베리어층은 Se 또는 Pb 첨가제가 더 포함하여 구성된 것을 특징으로 하는 테이프기판.

【청구항 4】

제 1항에 있어서,

상기 베리어층은 상기 공극의 표면적이 상기 동박패턴 표면적의 95%미만으로 형성된 것을 특징으로 하는 테이프기판.

【청구항 5】

제 1항에 있어서,

상기 베리어층은 $0.01\mu\text{m}$ 내지 $1\mu\text{m}$ 미만의 두께로 형성된 것을 특징으로 하는 테이프기판.

【청구항 6】

제 1항에 있어서,

상기 주석층은 $0.01\mu\text{m}$ 내지 $1\mu\text{m}$ 미만의 두께로 형성된 것을 특징으로 하는 테이프기판.

【청구항 7】

절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와,

상기 제 1단계에서 형성된 동박패턴의 상기 접속부 이외 부위에 솔더레지스트를 도포하는 제 2단계와,

상기 제 2단계에서 솔더레지스트가 도포된 후 상기 접속부에 베리어층을 도금하는 제 3 단계와,

제 3단계에서 베리어층이 도금된 후 상기 베리어층에 주석층이 형성되도록 주석을 도금시키는 제 4단계를 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【청구항 8】

제 7항에 있어서,

제 4단계에서 주석층이 도금된 후 상기 베리어층과 주석층의 접합부에 합금이 이루어지도록 가열하는 제 5단계를 더 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【청구항 9】

절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와,

상기 제 1단계에서 형성된 동박패턴에 베리어층을 도금하는 제 2단계와,

상기 제 2단계에서 베리어층이 도금된 후 상기 접속부 이외 부위에 솔더레지스트를 도포하는 제 3단계와,

상기 제 3단계에서 솔더레지스트가 도포된 후 상기 접속부에 도금된 베리어층에 주석층이 형성되도록 주석을 도금시키는 제 4단계를 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【청구항 10】

제 9항에 있어서,

제 4단계에서 주석층이 도금된 후 상기 베리어층과 주석층의 접합부에 합금이 이루어지도록 가열하는 제 5단계를 더 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【청구항 11】

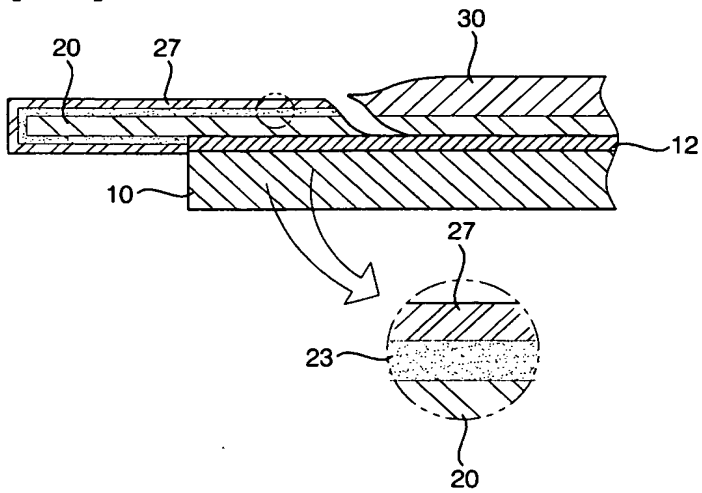
절연필름의 표면에 접속부가 구비된 동박패턴을 형성하는 제 1단계와,
상기 제 1단계에서 형성된 동박패턴에 베리어층을 도금하는 제 2단계와,
상기 제 2단계에서 베리어층이 도금된 후 상기 베리어층에 주석층이 형성되도록 주석을 도금하는 제 3단계와,
상기 제 3단계에서 주석층이 형성된 후 접속부 이외 부위에 솔더레지스트를 도포하는 제 4단계를 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【청구항 12】

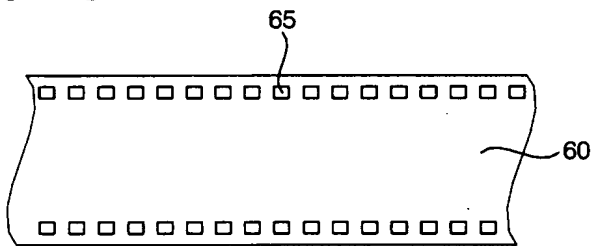
제 11항에 있어서,
제 3단계에서 주석층이 도금된 후 상기 베리어층과 주석층의 접합부에 합금이 이루어지도록 가열되는 가열단계를 더 포함하여 구성된 것을 특징으로 하는 테이프기판의 주석도금방법.

【도면】

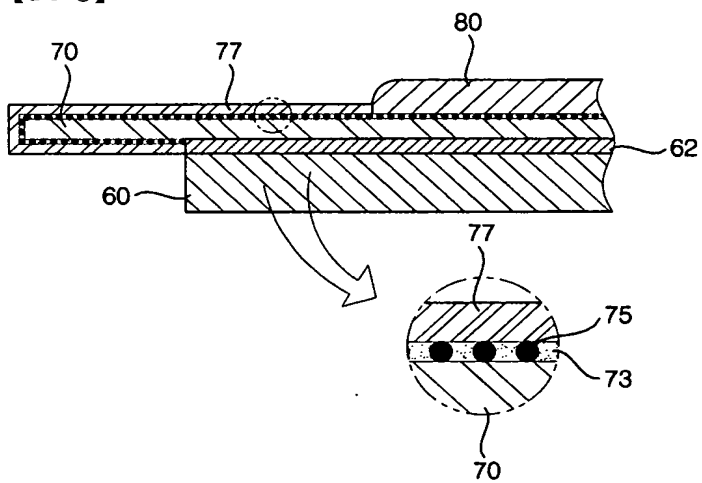
【도 1】



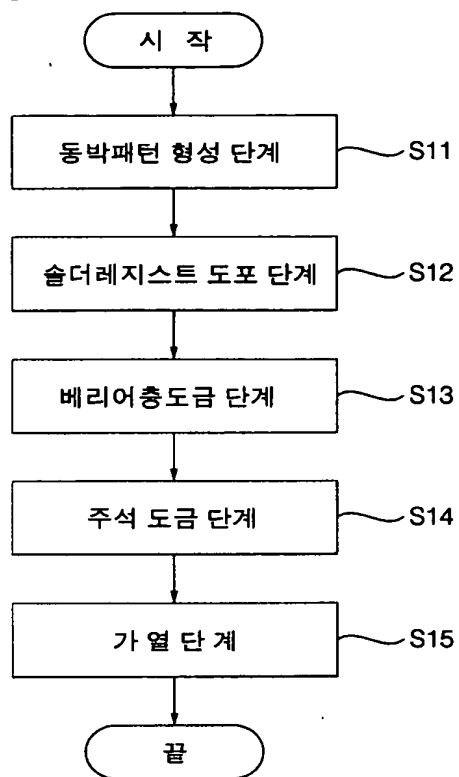
【도 2】



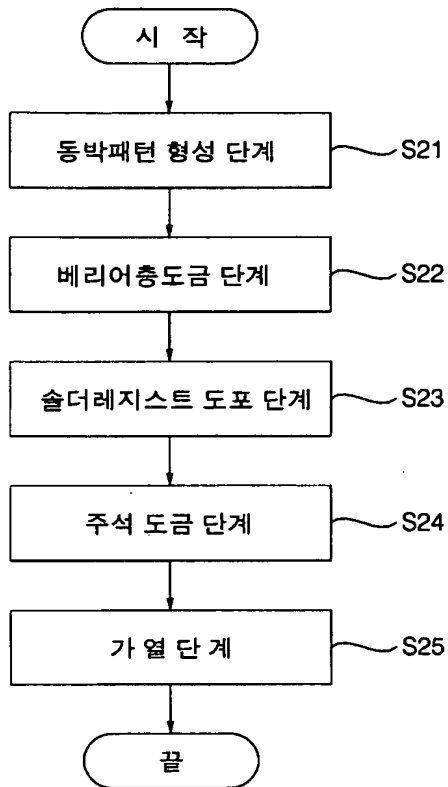
【도 3】



【도 4】



【도 5】



【도 6】

